

ELECTRONIC TECHNOLOGY 1999-5, PP. 56-59

A semiconductor package, Copperstrap™, holding a semiconductor chip is introduced as a noble package capable of decreasing an entire thermal resistance thereof. Copperstrap™ shown in Figs. 3(a) and 3(b) utilizes a copper plate in place of a conventional wire-bonding method.

THIS PAGE BLANK (USPTO)

SO-8に封入した 新 MOSFET チップセット

— モバイルPCもデスクトップPC並みの性能を実現 —

▶ インターナショナル・レクティファイアー・ジャパン 高村 信博

■ マーケットニーズの 定義

今日のパーソナルコンピュータの技術革新は非常に激しく、高性能のニーズになっている。このため、システムデザインは複雑で短時間の開発に対応している。特に、マイクロプロセッサのクロック周波数は、もはや300MHzを超えて、低電圧となり、さらに、機能は追加され、チップ内に統合される。このため、パワーの消費は確実に増加している。図1にマイクロプロセッサの要求パワー推移を示す。これにより、

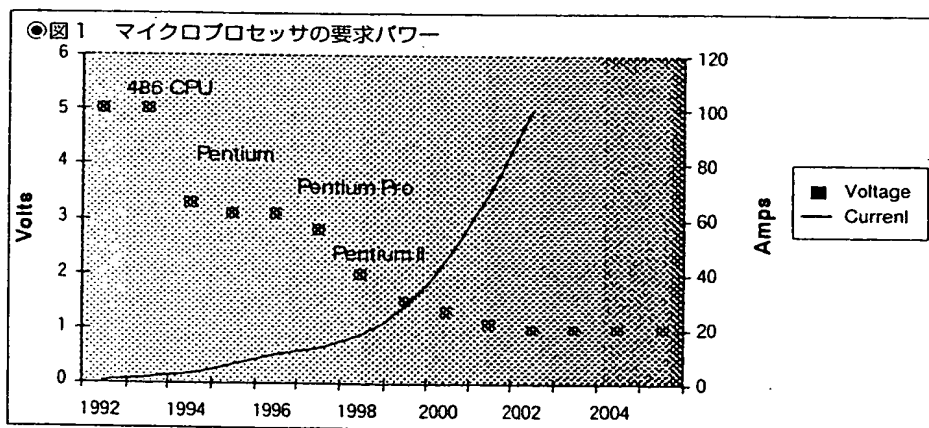
パワーシステムエンジニアは、限られたPC内でこのパワーを放散するという新しい取組みが必要になってきた。ユーザーの要求は、デスクトップでの高速マイクロプロセッサ技術にて実現した環境を即座にモバイルPCにも実現してほしいということである。

モバイルPCのサイズが小さくなれば、設計者の関心事は放熱、効率、熱管理、バッテリー寿命となる。これらのトレンドと設計の限界は、インテル社が発行する“モバイルパワーガイドライン2000”からくるものである。昨年発表されたインテル社ガイドライン^{*)}

の一部を以下に、要約すると、

- ・要求パワーの増加：モバイルコンピュータの放熱は1994から1997までに90%増加し、さらに増加し続けている。この電力消費は、機能をフル装備したモバイルPCの放熱レベルを押し上げている。
- ・熱的限界：パソコンのパワー消費は増加しても、モバイルPCの表面温度には、これまでと同様に26W程度との制限がある。
- ・バッテリー寿命：デスクトップ並の性能装備に加えて、携帯パソコンのユーザーは長寿命を要求する。高性能と低パワーの要求には最適のソフトウェア、ハードウェアのシステムが必要である。

次世代品PCでは、電源是最悪の条件で、21V入力/1.3V出力@15Amaxが必要とされるであろう。本ニーズを満足するため、パワー半導体メーカーは、限られたデバイス外形でさらに高性能製品を完成させる必要がでてくる。

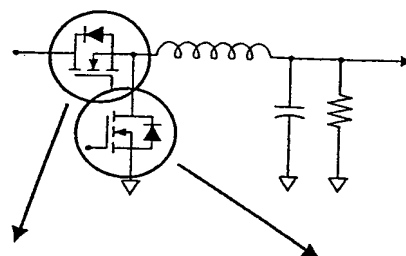


◎表1 MOSFET セル技術“ツールボックス”一覧

セル構造	セル密度* (平方インチ当り)	線幅
プレーナセル	7 M	4.6ミクロン
プレーナストライプ	13M	2.6ミクロン
ラテラル	7 M	1.0ミクロン
トレンチセル	112M	0.6ミクロン
トレンチストライプ	292M	0.4ミクロン

*実現可能密度

◎図2 同期整流回路要求スペック



コントロールFET (Q1)

- ・ 耐圧 30V
- ・ 低オン抵抗
- ・ 低ゲート容量 Q_{gs}, Q_{gd} , Q_{oss} 最適化
- ・ $R_{ds} < 2 \Omega$

同期FET (Q2)

- ・ 耐圧 30V
- ・ 低オン抵抗
- ・ 貫通電流阻止。 Q_{gs}, Q_{gd} , Q_{oss} 最適化
- ・ $R_{ds} < 2 \Omega$

CPU用電源に画期的
パワーMOSFET
チップセットを開発

当社では、DC/DCコンバータのニーズにマッチしたパワー半導体を業界に先駆けて開発している。半導体チップのみならず、トータルソリューションとして取り組んでおり、98年7月に、インテル社のPentium® II (266MHz ~ 400MHz) 用電源に見合う新チップセット IRF7807・IRF7805 を発表した^{*)}。電源仕様は $10-21V_{in} / 1.6V_{out}$ @ $10A_{max}$ であり、同期整流回路に最適化した商品である。

これからのマイクロ
プロセッサのパワー要求
に対応した製品

しかし、今後のモバイルPCのマイクロプロセッサは、400MHz以上の周波数となり、動作電源は、 $21V_{in} / 1.3V_{out}$ @ $15A_{max}$ と、低電圧・高電流化が進み、さらに進化したDC/DCコンバータが必要になる。低電圧を実現するには、コントロール側 (Q1) のオン時間を短くし、同期側 (Q2) のオン時間を長くするため、Q2には低オン抵抗が必要である。もちろん、これはオン時間とオン状態の放熱ロスにより決まる。Q1は、一方、短時間のデューティサイクルに影響される。ロスは、スイッチングによるものが増え、

低ゲート容量 (Qg) の必要がでてくる。また、負荷電流が $15A_{max}$ が増えると、同時に低オン抵抗への性能改善も求められる。

要求されるスペックを図2に示す。

当社は、チップ開発、パッケージ開発を通して、新トレンドに対応した新パワーMOSFETを開発した。以下にその概要を紹介する。

次世代パワー半導体を開発するに際し、当社の持つチップ技術群 (当社ではこれを“ツールボックス”と呼ぶ) を駆使した。すなわち、各技術群の中からそれぞれの用途に最適の技術を用いて製品化するのである。Q2には、チップのオン抵抗を低減できるトレンチストライプ技術を用いた。表1に当社の持つ“ツールボックス”一覧を示す。表中、セル密度は、今後実現の可能性を含めた値となっている。

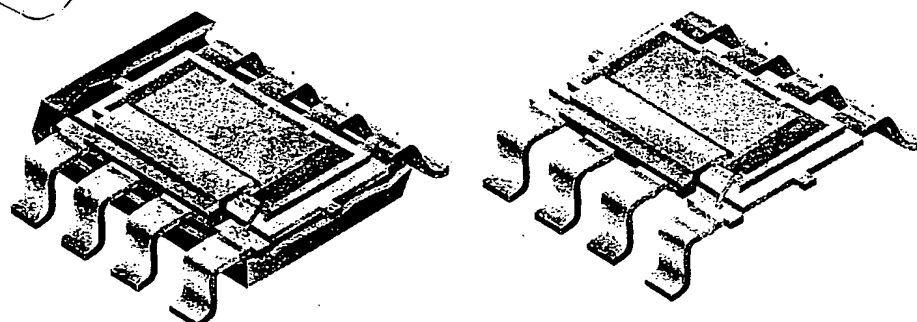
さらに、パッケージの低オン抵抗、全熱抵抗の減少を可能にするため、CopperStrap™の接続方法を開発した。

図3にその断面図を示す。

(1) 同期側 Q2 への適用

従来のSO-8パッケージでの放熱では、部品点数が同じである以上は所望された効率は確保できない。上記説明のように、トレンチFET技術で低オン抵抗デバイスが実現した。特性は、SO-8にてオン抵抗 $6m\Omega$ ティピカル ($V_{gs} = 4.5V$ 時) と、従来に比べ約60%の低減 (当社比) が実現した。これは、ゲート電圧4.5Vの条件下では、現存するパワーMOSの中で業界一の性能となっている。高性能は新CopperStrap™パッケージにより実現した。従来のSO-8ワイヤボンド方式に代えて、銅板を利用した方式にて、シリコン活性領域へのパワー部接続を大幅に改善したものである。図2の左側3本はソースである。もう1本はゲートであるが、小信号のため、ここにはワイヤボンドが残る。ソース部導通面積は、極端に増え、全体の抵抗分を押し下げる。パッケージ抵抗分は、約 $1.7m\Omega$ 改善され、本用途の目的に沿うよう低オン抵抗を実現した。

◎図3 CopperStrap™断面図



(a) モールドをかぶせたCopperStrap™

(b) モールドなしのCopperStrap™

IRF7809のもう1つのポイントは、同一パッケージで放熱が容易になった事である。 $R_{\theta j-drain}$ と $R_{\theta j-source}$ の改善で、ジャンクションリード間の熱抵抗 $R_{\theta j-head}$ は、10-20%低減された。これは、600MHzプロセッサを使用する際の重要な要素となる。

(2) コントロール側Q1への適用

Q1には、前回のチップセットを、より改善したプレーナストライプ技術、デザインルールを用いており、低オン抵抗を実現し、さらに、 Q_g を大幅に減らした。IRF7809と同様にCopperStrap™を用いており、結果として予想以上のデバイス特性が実現できた。IRF7811にて製品化され、特性

は $R_{ds(on)}$ 9 m Ω Q_{sw} 5.8nCとゲート容量パラメータが特に優れている。

これらの新商品の概略のスペックを表2に示す。

放熱の結果

新CopperStrap™技術は前述の通り、熱抵抗を低減する。熱効率の改善は以下の図4の通り、全負荷時のサーマルイメージデータの比較でみられる。

図4aと図4bにSO-8パッケージの3個所の温度を示す。ケース部(スポット1&2)、ドレイン部(スポット4)およびソース部(スポット3)である。

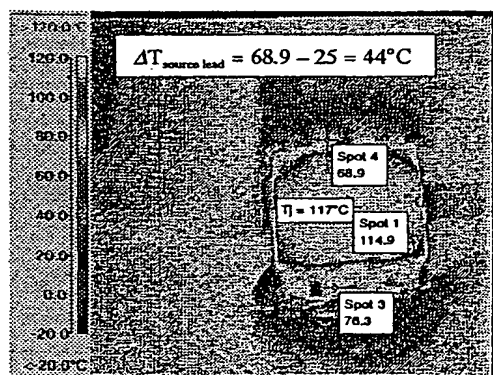
◎表2 IRF7809とIRF7811のスペック

パラメータ	IRF7809	IRF7811
技術	トレンチストライプ	プレーナストライプ
V_{ds}	30V	30V
$R_{ds(On)}$ チェビカル	6 m Ω	9 m Ω
Q_g チェビカル	63nC	18.2nC
Q_{sw} チェビカル	16.2nC	5.8nC
$R_{\theta j-head max.}$	20℃/W	20℃/W
$R_{\theta j-drain max.}$	35℃/W	35℃/W

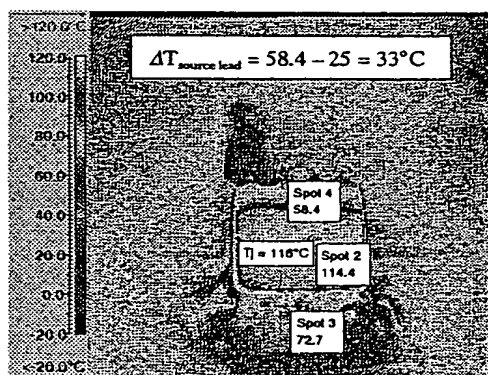
$Q_{sw} = Q_{gs2} + Q_{gd}$ ただし、 Q_{gs2} はゲートソースしきい値後のゲート容量

CopperStrap™方式では、従来のワイヤボンド方式に比べてソース部への熱伝達が改善されている。図中のサーマルイメージでSO-8パッケージのリード部からの熱伝達の比率を示す。従来のワイヤボンド方式で、熱は陰影部にて示すようにドレイン部のみから主に逃げているが、新方式は、パッケージの両サイドから均等に放熱している。この図は、ジャンクション温度が同一の場合、CopperStrap™方式は低熱抵抗のため、ソース部に対してさらに10℃までの熱を伝達できる余裕がある事を示す。一般に、Q2は、実効電流が高く、ソース部をグランドプレートに付けて放熱する設計にしているが、

◎図4 回路中のIRF7811の熱データ



(a) IRF7811 チップ CopperStrap™方式



(b) IRF7811 チップ 標準ワイヤボンド方式

本方式では、放熱設計がずっと容易になる。

インサーキットテストにおける効率

インサーキットでの効率は最大の関心事である。本用途における効率を示す。ここには、2つのインプット電圧入力条件（バッテリー：14V、アダプタ：21V）で示す。電圧条件が変われば、FETへのデューティサイクルが変わり、全体効率に影響してくる。この事は、逆に、FETが最適化されていれば、条件が変わっても、全体の効率へは影響しにくい事を意味する。図5 aと図5 bに次世代プロセッサが要求する動作条件下の効率結果を示す。

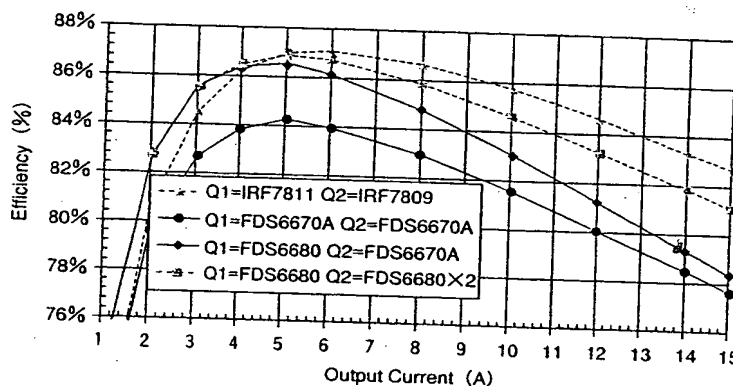
インサーキットテストでは、当社と競合メーカーの素子を比較した。当社のチップセット（IRF7809, IRF7811）は、負荷が増加していても効率の低減が少なく、競合品のデバイスより有利である。

競合品でもっとも高効率を実現する組み合わせは、3個の素子を用いる事である。例えば、Q1に1個（FDS6680）、Q2に2個（FDS6680）のFETを並列に組む。この場合でも、負荷が大きき場合には、Q2にIRF7809を1個使った方が効率は2%程良くなった。3個並べる方式には、部品点数増加、ボードスペース確保、ゲート容量増加、時には、コストアップとなる。競合品2個の組み合わせ（Q1：FDS6680, Q2：FDS6670A）との比較では、全負荷時には、4.5%程度の効率の差が見られた。

結果的に新シリコン技術と新パッケージ技術を融合する事で、SO-8パッケージにて大量の熱の取扱いができる製品が誕生した。デスクトップで要求さ

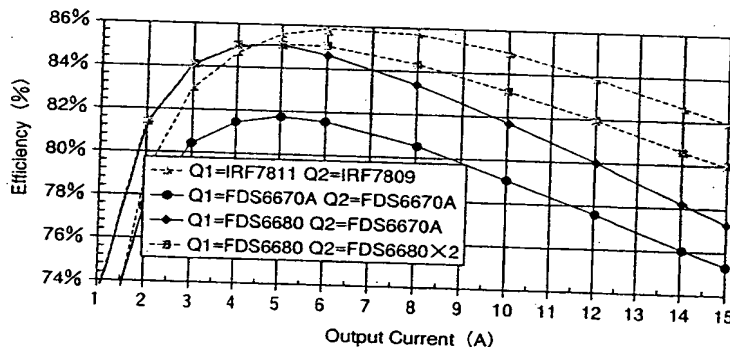
◎図5 (a) インサーキットでのテスト結果、電圧ティピカル値、周波数300kHz、 $V_{GS} = 4.5V$ 。

CPU CORE : $V_{in}14V$, $V_{out}=1.3V$



◎図5 (b) インサーキットでのテスト結果、電圧最大値、周波数300kHz、 $V_{GS} = 4.5V$ 。

CPU CORE : $V_{in}21V$, $V_{out}=1.45V$



れる電流（15A）がモバイルPCにでも実現するのである。なお、新チップの量産開始は、99年6月を予定している。

☆

当社のソリューションは単にスペックに見合う製品を提供する事にとどまらず、プロセッサメーカーやPCメーカーとのコミュニケーションを通じて、戦略的関係を築き上げる事である。また設計ニーズを把握し、ソリューションを提供していく事である。これら当社の提唱するパワーソリューションは、次世代ノートブックPC電源の設計の基盤になっていくと考える。

【参考文献】

- 1) モバイルパワーガイドライン 2000_Revision1.0 (1998年12月11日) インテル社
- 2) 高村：電子技術 8月号 1998年 Vol 40, No10 携帯用コンピュータD/Dコンバータ向けの高効率パワーMOSFET

* Pentium®はインテル社、CopperStrap™はインターナショナル・レクティブファイアー社の商標登録です。

●たかむらのぶひろ

インターナショナル・レクティブファイアー・ジャパン(株)
(旧社名：アイアールファースト(株))

企画室室長代理